

SISTEMA MULTIPROPOSITO DE ADQUISICIÓN DE DATOS, ANÁLISIS Y CONTROL – SMADAC

SUMARIO

Francisco J. Zamora Navarro
Hugo R. Pachón B.
1993

Componentes del adaptador SMADAC. En esta sección se suministra una breve descripción de los componentes constitutivos del adaptador electrónico del SMADAC. Remítase a la Figura 14 para su localización y al Anexo 5 para información técnica de los mismos.

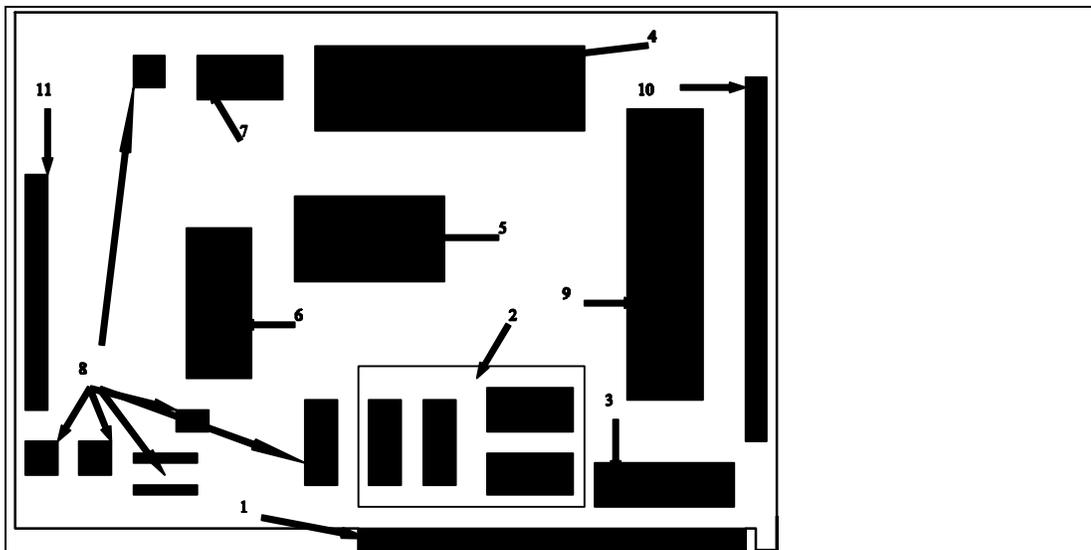


Figura 1. Componentes del adaptador SMADAC.

1) **Conector de borde.** Permite la inserción del adaptador SMADAC en una ranura de expansión de ocho bits de un PC.

2) **Sistema decodificador de direcciones.** Conformado por circuitos integrados TTL de la serie LS (Low Power Schottky) del tipo 74LS04, 74LS02, 74LS30 y 74LS139, permite el acceso al área de prototipos.

3) **Buffer de datos.** Una unidad 74LS245 bufferiza bidireccionalmente el bus de datos interno PC, comunicándolo con el bus del SMADAC.

4) **Unidad de control interno.** Un 8255A (PPI-Programmable Peripheral Interface) se encarga de suministrar y recibir las señales de control internas del SMADAC mediante control por software.

5) **Unidad de temporización programable.** El 8253-5 (PIT-Programmable Interval Timer) se encarga de los procesos de temporización en el SMADAC con tres contadores programables independientes y descendentes de 16 bits.

6) **Convertor A/D.** El ADC0808, convertor A/D de 8 bits, ocho canales conforma el sistema de adquisición de datos analógicos.

7) **Convertor D/A.** El DAC0800, de ocho bits, se adapta para suministrar una salida de tensión analógica en el SMADAC.

Las funciones de cada una de las señales del conector análogo (26 pines) son:

AI n Canal de entrada análoga n (0 a 7).

PULSO S/H Señal del software para activar otros circuitos de muestreo y retención externos.

SALIDA D/A Salida de señal análoga.

+12 Vdc Terminales de alimentación de la fuente interna de la CPU. Se recomienda no usarlos a menos que sea imposible disponer de otras fuentes externas, y deben manipularse con extremo cuidado ya que no están protegidos.

GND Tierra digital. La tierra análoga se debe conectar a este pin **únicamente en un punto** del circuito externo (protoboard) para evitar interferencias en la señal análoga originadas por la conmutación de los circuitos digitales.

Los canales cero y uno (AI y AI) aceptan señales de AC cuyos valores máximos de tensión estén entre -5 y +5 V respecto a la tierra análoga, con un ancho de banda hasta 5 kHz operando un solo canal o 2,5 kHz operando dos canales. Esto equivale a más de 10,000 muestras/segundo.

Los canales 2 a 7 permiten entradas de tensión entre 0 y 5 V respecto a la tierra análoga, con ancho de banda hasta 6 Hz (para operación con canal único y o DC en operación simultánea).

El canal análogo de salida ofrece una señal de tensión cuya variación está en el rango de 0 a 5 V, respecto a la tierra análoga, con rata de conversión de hasta 60 kB/s en un AT de 12 MHz. La generación y características de esta señal se encuentran bajo completo control del software.

Las señales en el conector de 40 pines (interface digital) se aprecian en la Figura 17 y son:

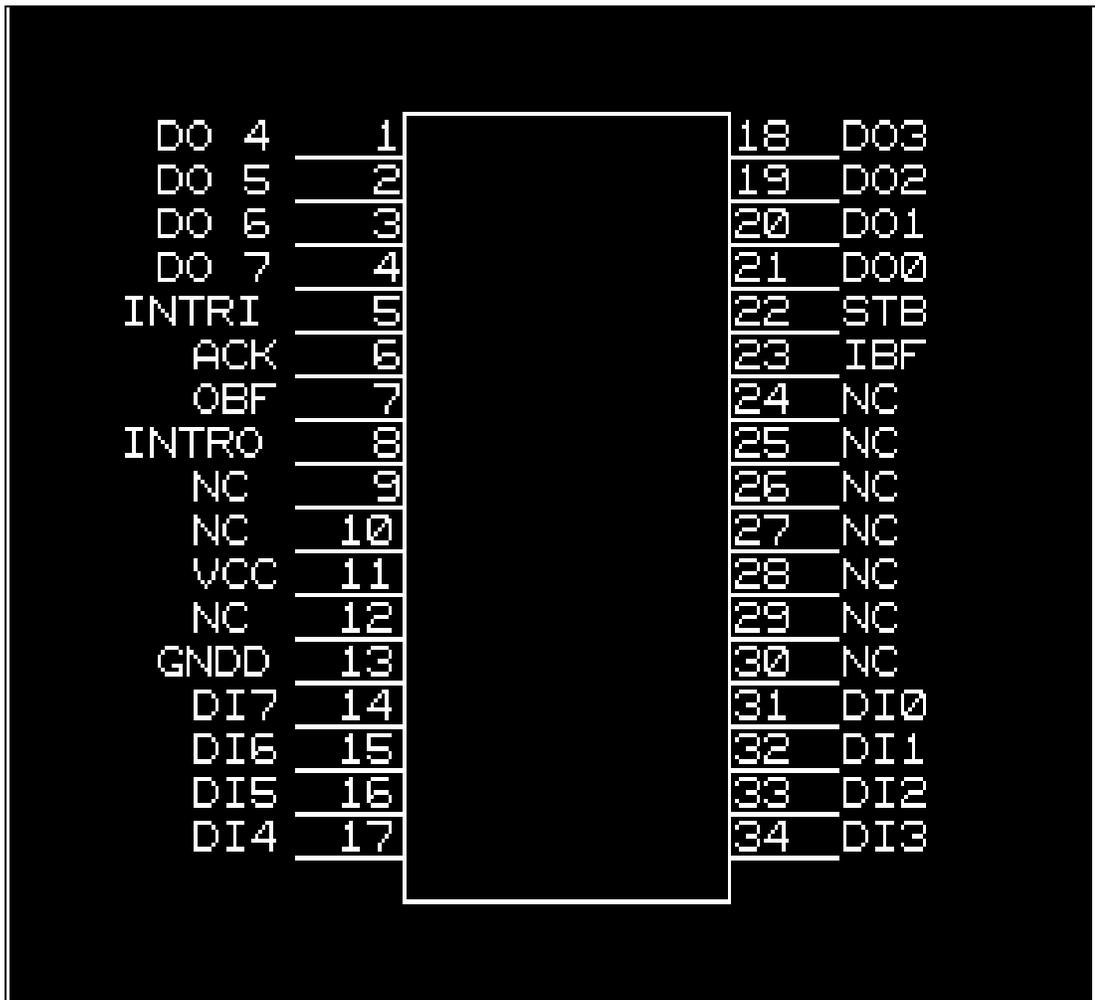


Figura 3. Conector de 40 pines para interface digital.

DI n Bit de dato de entrada n.

DO n Bit de dato de salida n.

STB' Señal de entrada (nivel activo bajo) para cargar un dato en el bus de datos de entrada.

IBF Señal de salida, advierte al sistema la presencia del dato de entrada e indica que éste aún no ha sido aceptado.

INTR I Señal de salida para generar interrupción. Se activa (nivel alto) una vez se ha cargado el dato y reconocido su presencia. Se

puede
enmascarar mediante
una báscula interna
del PPI.

OBF' Indica con nivel bajo de salida, que un dato ha sido
cargado por la CPU en
el bus de datos de
salida.

ACK' Indicación como entrada desde el periférico, de la
recepción del dato de
salida.

INTR 0 Se puede utilizar para generar interrupción
(enmascarable) al indicarle a la CPU que el
dato ha sido aceptado por el periférico.

Todas las señales anteriores son compatibles con niveles del estándar TTL.

3.1.5 Sistema de control interno en la tarjeta. El dispositivo encargado de esta tarea es una interface paralela, PPI. El SMADAC se compone de cuatro tipos de dispositivos de I/O, controlados por simples operaciones de escritura y lectura de los puertos 300 hex a 30C hex. El PPI de control se encuentra habilitado por la línea Y1, señal que responde a la decodificación de las direcciones 304 a 307 hex. Para mayor detalle consulte los procedimientos de diseño del Capítulo 2. El dispositivo se programa para enviar y recibir todas las señales del control de las conversiones (A/D y D/A), gatillar y sondear los estados de los contadores de temporización (Puertos A y C). También envía el byte al convertor D/A a través del puerto B. La programación de este dispositivo está directamente relacionada con el diseño del SMADAC y **NO** debe ser modificada por el usuario novato bajo ninguna circunstancia, a menos que dicha modificación no entre en conflicto con el funcionamiento del hardware (leer capítulo 2). La distribución de los canales del PPI de control es la siguiente:

3.1.5.1 Canal A. Está programado como salida y se encarga de seleccionar el canal activo del convertor A/D (A2-A1-A0 bin) y de las señales de disparo para los contadores internos C0, C1 y C2. Se encuentra ubicado en la dirección 304 hex. La distribución de las señales está indicada en la Tabla 2.

TABLA 2. Puerto A, PPI de control.

SEÑAL	FUNCION
A0	Dirección A del ADC
A1	Dirección B del ADC
A2	Dirección C del ADC
A3	No usado.
A4	No usado.
A5	Gatillado C2 (G2).
A6	Gatillado C1 (G1).
A7	Gatillado C0 (G0).

3.1.5.2 Canal C. Está encargado del control del convertor A/D, del sondeo del fin de conversión y del control de la temporización de los diferentes canales del PIT. Para esto, la parte alta del canal está programada como entrada y la parte baja como salida (ver Anexo 5 para programación del PPI). La dirección de este puerto es la 306H.

Las señales bit a bit están distribuidas de la manera indicada en la Tabla 3.

TABLA 3. Puerto C, PPI de control.

BIT	SEÑAL
PC0	ALE&START para ADC.
PC1	No usado.
PC2	No usado.
PC3	Pulso S/H.
PC4	Fin de conversión del ADC.
PC5	Salida 0 del PIT.
PC6	Salida 1 del PIT.
PC7	Salida 2 del PIT.

Para que opere de esta manera el PPI de control debe ser programado en modo 0 con los canales A de salida, B de salida (para sistema D/A), Cupper de entrada y Clower de salida. **La palabra de control resultante para permitir la programación de las funciones del SMADAC es 10001000 B (88H)** (ver Anexo 5 para detalles de la programación del PPI), **la cual se debe escribir en el puerto 307H.**

IMPORTANTE: Nunca altere la programación del PPI de control interno (puerto 307H) puesto que puede causar daños serios en los componentes. Si desea modificar el funcionamiento del controlador del adaptador SMADAC para alguna aplicación particular, revise detalladamente el diagrama de conexiones eléctricas para verificar el sentido de las señales (Figura 3), y las hojas de datos técnicos del 8255A (PPI-Anexo 5). Y si desea crear otras aplicaciones basadas en SMADAC parta del hecho de que la palabra de control 88 hex, debe ser escrita en el puerto 307H, antes de cualquier operación de lectura o escritura de los subsistemas análogos; este es el principio básico para disponer del control interno de la tarjeta y sus funciones tal como fueron diseñadas, ya que por facilidad de diseño el control interno se hace totalmente mediante software. El control mediante interrupciones no se emplea en los subsistemas análogos, debido a que las señales de conversión provienen del software; pero el usuario experto puede referirse un Manual Técnico del IBM PC/AT para manipular interrupciones provenientes de los pines de salida del PIT (00-02), efectuando algunas conexiones adicionales en el adaptador SMADAC. Los vectores de interrupción y las respectivas rutinas de servicio deben ser implementadas por cuenta del usuario según las normas que rigen la arquitectura del sistema AT y consultando las características del hardware y de la ROM BIOS de cada equipo particular a través de algún programa de diagnóstico (p.e Norton Utilities, Checkit, etc.).

3.1.6. Puerto análogo de salida. La información proveniente del computador sale por el puerto B del PPI de control, aprovechando el registro interno del puerto para mantener estable el último byte escrito por el sistema (latched output). La dirección de este puerto es 305 hex. Dado que la resolución del conversor DAC0800 es de ocho bits, cada número entre 00 hex y FF hex tiene corel contador 2 del PIT (posición horizontal = OUT1-cascada, posición vertical = mismo reloj de contadores 0 y 1).

3.1.11.2 Características de programación: La programación se lleva a cabo mediante operaciones de lectura y escritura de puertos (300-30CH), según las normas de los dispositivos empleados: 8255A (PPI) y 8253-5 (PIT). Para detalles ver Anexo 5. Los programas de funciones múltiples para SMADAC se desarrollaron en Lenguaje C++, compilador Turbo-C de Borland, Versión 1.0. Puede emplearse cualquier otro lenguaje de programación, respetando los principios establecidos para los componentes

y el sistema SMADAC.

PROCEDIMIENTOS DE DISEÑO DEL SMADAC

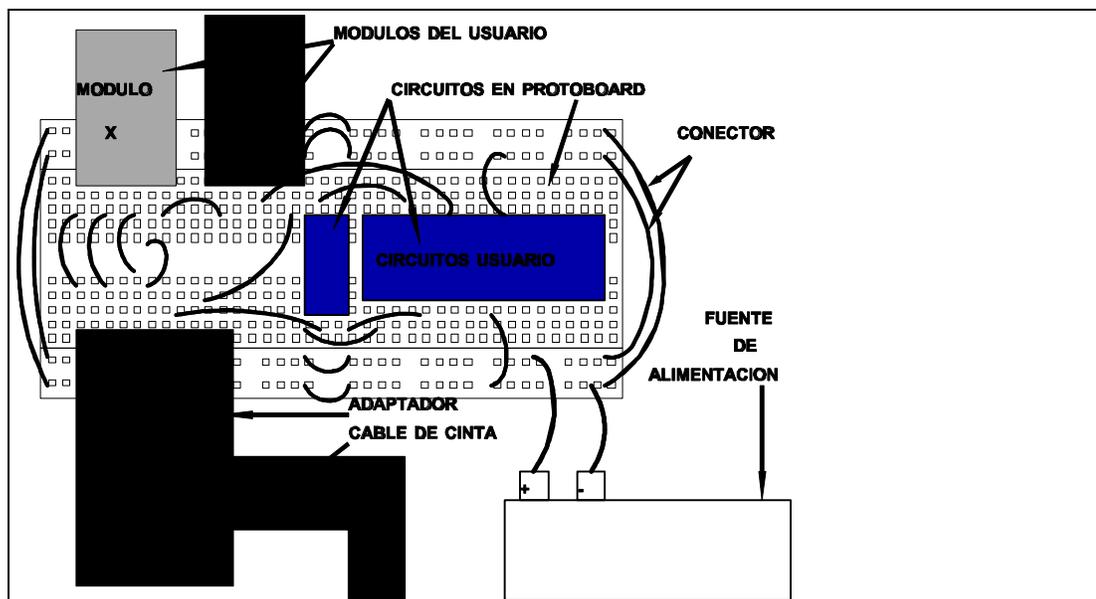
El hardware del SMADAC comprende una etapa externa, de adaptación y protección de señales análogas, y una etapa interna en el microcomputador, la tarjeta electrónica del adaptador que contiene los circuitos decodificadores, conversores, de comunicación digital en paralelo, temporizadores y demás circuitos auxiliares.

El primer aspecto que se contempla en el diseño es la ubicación del arreglo de puertos del SMADAC dentro del mapa de direcciones de I/O. Posteriormente se explican los sistemas análogos de entrada y salida, los osciladores a partir de dispositivos disparadores de Schmitt, los circuitos externos de adaptación y protección de señal análoga y finalmente una justificación de la distribución de los componentes en la tarjeta del adaptador, así como ciertas sugerencias empíricas para diseñar sistemas electrónicos basados en tarjetas de expansión para PC.

Para suministrar versatilidad al proyecto SMADAC (uno de sus objetivos principales) es necesario que sea adaptable en grado máximo a las necesidades particulares del usuario, sin limitar sus posibilidades con el diseño de circuitos electrónicos con estrecha gama de aplicación; es decir, que la funcionalidad del SMADAC depende en mayor proporción de la creatividad para elaborar programas de aplicación (software) y adaptar los recursos del sistema, que de la complejidad de los circuitos y componentes electrónicos del hardware (inclusive la misma lógica de control interna del sistema se realiza mediante instrucciones de software).

Con esta filosofía se sugiere adicionalmente el desarrollo modular de las aplicaciones especiales de hardware mediante bloques funcionales montados en circuito impreso con facilidad de inserción en un protoboard estándar para manipular eficazmente las señales requeridas, como se indica en la Figura 2. Esto se puede llevar a cabo de manera sencilla durante la elaboración del arte final de dichos circuitos impresos, diseñando las conexiones de señales de I/O de tal manera que estén disponibles al protoboard en regletas de conectores tipo SIL, con distribución tal que permitan también el acople con puntos específicos del denominado bus de alimentación del protoboard y la interconexión entre módulos. Estos bloques estarán en capacidad de recibir los conectores estándar de entrada/salida del adaptador SMADAC, procesar pertinentemente las señales y poner en un protoboard, a disposición del usuario, las líneas necesarias para cablear funciones muy especiales que éste requiera.

Ejemplo de lo anterior son los módulos de interruptores DIP y detectores lógicos empleados en el Ejercicio de Laboratorio No. 2: Leyendo de



interruptores y escribiendo a luces (ver Manual de Aplicaciones). El primero de ellos consiste en un circuito que contiene una unidad de DIP switches de 9 elementos, con sus respectivas resistencias para halar a Vcc cada uno de los interruptores en su estado de circuito abierto. En la placa de circuito impreso sobresalen en la parte inferior 11 terminales en disposición especial, dos de los cuales corresponden a la alimentación que necesita la placa y que toma directamente del bus de alimentación del protoboard; los nueve restantes son las salidas de los interruptores, que sirven para introducir información digital a un puerto, un registro, un decodificador, etc. El módulo denominado detector lógico no es más que un conjunto de cuatro LED's cada uno de ellos controlado por el colector de un transistor 2N2222, cuyas bases, a través de resistencias, monitorean el estado lógico de cuatro señales independientes de entrada que cortan o saturan al elemento, sin perjuicio de consumir excesiva corriente de los circuitos TTL que alimentan la información a cada detector. Este módulo consta de seis terminales metálicos en línea que sobresalen por debajo del circuito impreso, en disposición compatible con las líneas del protoboard como se mencionó, dos de los cuales suministrarán polarización al circuito impreso y los cuatro restantes constituyen los puntos de entrada donde deben llegar las señales objeto de monitorización.

Con el ejemplo de los módulos anteriores, se pueden diseñar funciones más complejas que, interconectadas entre sí y con el adaptador SMADAC, pueden especializar considerablemente las aplicaciones del presente proyecto. Dichas funciones pueden ir desde bloques de simples reguladores para alimentación de circuitos, filtros (de cualquier tipo y orden), amplificadores de instrumentación, adaptadores de señal análoga, circuitos de protección, decodificadores, actuadores (mediante relevos por ejemplo), hasta complejos circuitos que expandan las capacidades de transducción y comunicación del SMADAC, y que estarán disponibles para su interconexión en protoboard, con estructura modular, sin necesidad de realambrosarlos sobre el protoboard cada vez que se necesiten: basta con insertarlos o retirarlos según lo requiera la aplicación.

Por otro lado, las funciones que manipulan las capacidades elementales del adaptador SMADAC (hardware) se han desarrollado mediante programas en código fuente de lenguaje C que controlan un arreglo de dispositivos de I/O de ocho bits. Estas funciones pueden ser mejoradas o adaptadas por usuarios expertos.

2.3.1 Ubicación del SMADAC en el área de prototipos. El primer aspecto a tener en cuenta al diseñar dispositivos que se comuniquen con un microcomputador es la ubicación concreta de dichos dispositivos en el área de direcciones de entrada/salida del sistema.

Los diseñadores de la familia PC han destinado un área especial de direcciones en sus microcomputadores para comunicación con nuevas tarjetas de expansión genéricas, denominada área de prototipos. Allí se garantiza espacio de direcciones libres, siempre y cuando no existan otros prototipos en el microcomputador. Este espacio comprende 32 posiciones consecutivas entre las direcciones 300 y 31F hex.

El SMADAC, con su conjunto de 13 dispositivos de I/O se ubicará a partir de la dirección 300 hex, hasta la posición 30C hex.

Los dispositivos integrados empleados (PPI y PIT) manipulan directamente las líneas de direcciones más bajas (A0 y A1) para selección de sus registros internos. La selección del chip (CS') respectivo se obtiene decodificando las ocho líneas restantes de direcciones (A2 hasta A9). Para la siguiente explicación observe el diagrama eléctrico del SMADAC en la Figura 3) y para mayor información sobre la ubicación de los dispositivos y puertos remítase a la Tabla 1 en el Manual del Usuario.

Se emplean circuitos integrados TTL de la familia LS (Low Power Schottky) por su bajo consumo, dado que se alimentarán directamente de la fuente interna del microcomputador.

Las líneas A2-A8 se decodifican mediante compuertas 74LS04 y 74LS30. La última brinda la señal G' que habilita la primera unidad decodificadora 2 a 4 del circuito integrado 74LS139 cuando las líneas A4, A5, A6, A7, A8, A9 del bus de direcciones del sistema se encuentran respectivamente en



Figura 5. Diagrama eléctrico del SMADAC.

000011 bin; esto significa que el primer decodificador se habilita con las direcciones comprendidas entre 300H y 30FH. Como entradas para selección interna del primer decodificador se aplican las líneas A3 y A2, con lo que se obtienen cuatro habilitadores (CS', Chip Select) compatibles con los dispositivos de soporte de INTEL, distribuidos de la siguiente manera:

- Y0': 300-303H (PPI de comunicación digital I/O).
- Y1': 304-307H (PPI de control interno).
- Y2': 308-30BH (PIT de unidad de temporización).
- Y3': 30C-30FH (Habilita a segunda unidad 74LS139).

Los dispositivos PPI (8255A) y PIT (8253-5) procesan directamente las líneas A0 y A1 para seleccionar sus respectivos registros internos (cuatro en ambos casos).

Con los cuatro habilitadores anteriores y con las líneas restantes del bus de direcciones, A0 y A1 se pueden seleccionar todos los 13 puertos del SMADAC.

El convertor A/D (puerto 30CH) se habilita como puerto de entrada activando (nivel alto) la señal OE (output enable de un registro tri-estado interno) tras el sondeo de fin de conversión (EOC) mediante la lógica de control. Esta señal OE obtiene mediante una compuerta NAND (74LS00), tres inversores (obtenidos con la misma unidad 74LS00), y el segundo decodificador de la unidad 74LS139 (Y0'), que procesan la salida Y3' del primer decodificador junto con A0, A1 e IOR (señal de lectura de I/O) para obtener un nivel alto en OE cuando el sistema direcciona el puerto 30C hex con una instrucción de lectura de dispositivo. También es posible decodificar Y0' (= segundo decodificador 74LS139) e IOR' mediante una compuerta NOR (74LS02) y no con las compuertas NAND mencionadas arriba, pero en vista de que el retardo no es crítico y de la popularidad del 74LS00 se ha optado por hacerlo de la primera manera.

El esquema resultante del proceso descrito se puede apreciar en la Figura 4.

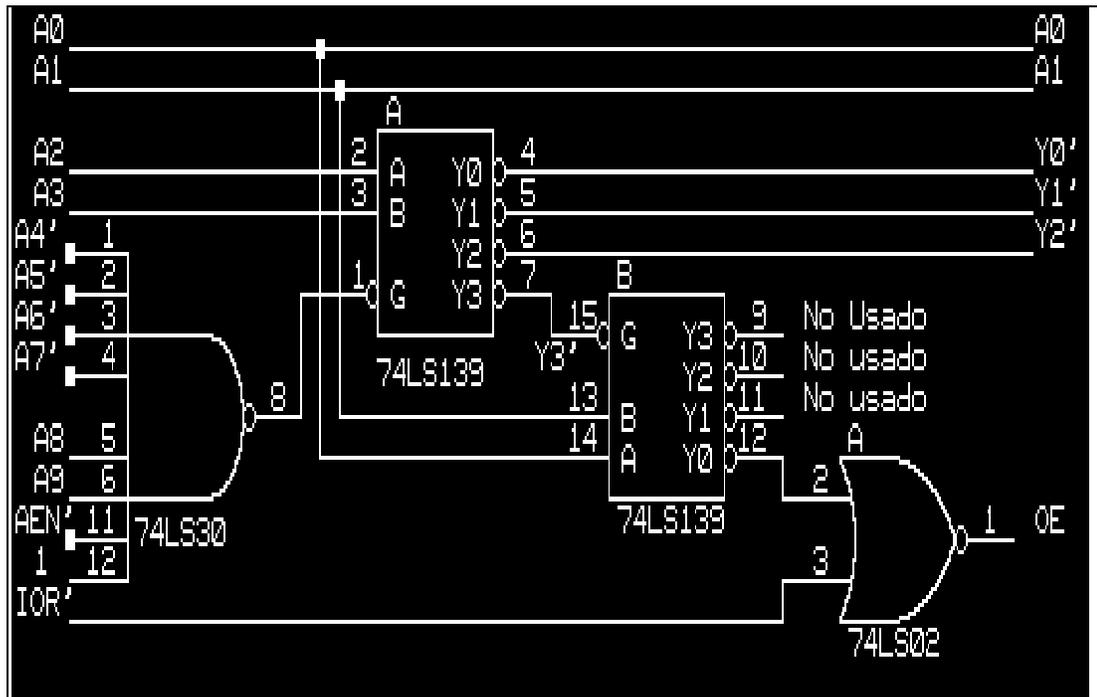


Figura 6. Decodificación de direcciones en SMADAC.

No es necesario tener en cuenta los retardos que introducen las compuertas decodificadoras de direcciones, ya que en el peor de los casos, para el ADC0808, el retardo total no es mayor de 100 ns (introducido por los decodificadores y las compuertas), tiempo muy inferior al tiempo de conversión del dispositivo A/D (100 μ s máximo) y de ejecución de I/O mediante programa.

El bus de datos del SMADAC se interconecta con el bus de datos del slot de expansión mediante un buffer tri-estado del tipo 74LS245. Este dispositivo posee dos líneas de control: un habilitador, que se obtiene directamente de la salida G' del 74LS30, y un selector de dirección, que según el manual técnico TTL, posee lógica compatible con la línea IOR' del slot; es decir, que cuando G' está activa, IOR' activa permite el ingreso de datos, mientras que IOR' inactiva (presupone IOW' activa) habilita la salida de los datos.

Además se emplea la línea RSTDRV del slot conectada al terminal RS' de los 8255A (PPI) con el fin de inicializar dichos dispositivos en el momento de encender el equipo, por falla temporal de la alimentación, o por un reset del usuario.

2.3.2 Sistema de control interno del SMADAC. Las funciones de control en el SMADAC se pueden agrupar en tres categorías: control del sistema conversor A/D, control del sistema conversor D/A y control de la unidad temporizadora PIT. Estas funciones son supervisadas por los registros de un PPI (8255A) ubicado entre 304-307 hex, cuyas operaciones están bajo completo control por software. La unidad de comunicación digital opera de manera independiente, accedendo los puertos 300 a 303 hex, según las especificaciones del 8255A (Anexo 5) y los contadores de la unidad de temporización PIT (8253-5) también se leen o escriben directamente en los respectivos puertos, sin intervención alguna de las señales de control internas del SMADAC.

El PPI destinado al control interno posee tres registros o puertos: A, B y C. Estos se pueden programar en tres modos de operación. El modo más sencillo y conveniente para los fines de control requeridos es el modo cero, en el cual cada uno de los registros puede ser de entrada o salida. En este modo las salidas son retenidas (latched outputs) pero no las entradas. En general las señales de control se manejan a nivel de bits (on/off) con dos excepciones: la palabra de selección del canal activo del ADC0808 (3 bits que seleccionan uno de ocho canales) y la palabra (byte) que alimenta el conversor DAC0800, las cuales también deben ser suministradas por el sistema de control.

Según lo anterior, se debe destinar un registro completo de salida para el sistema D/A, 3 bits de otro registro de salida para direccionar el sistema A/D, y los bits restantes serán empleados por las señales S/H-muestreo y retención-(salida), START/ALE (salida), EOC-fin de conversión-(entrada), G0-G2-disparo de contadores-(salidas) y O0-O1-fin de conteo-(entradas). Debido a que el puerto C está dividido en dos registros de cuatro bits que se programan independientemente (también existe el modo bit set-reset para este puerto), se determinó la siguiente distribución de señales y registros: Puerto A envía las señales G0-G2 y la palabra (tres bits) de selección de canal (dos bits de salida libres); el Puerto B envía la palabra (byte) para el conversor D/A; el Puerto C bajo envía ALE/START y S/H (un bit de salida libre) y el Puerto C alto recibe las señales EOC y O0-O2. Para mayor detalle observe las Tablas 1,2 y 3 en el siguiente capítulo.

El modo de operación del PPI se determina escribiendo la palabra de control adecuada en su registro de control (307 hex), que para la distribución asignada (modo 0, puerto A ,B y C bajo de salida, C alto de entrada) debe ser 10001000 bin u 88 hex (ver Anexo 5). La programación del modo de funcionamiento del PPI de control es la operación más

prioritaria en el SMADAC, puesto que sin ella no se pueden acceder las funciones de los subsistemas análogos de entrada y salida. Las funciones de control que permiten configurar al SMADAC se generan manipulando las palabras y bits de los registros, según la asignación previamente indicada, mediante instrucciones de I/O de programa según la secuencia exigida por cada aplicación.

2.3.2 Diseño del sistema de entradas análogas. Uno de los aspectos más importantes del SMADAC es su capacidad para interpretar información análoga proveniente de un sistema físico a través de los circuitos y sensores adecuados. Esta información ha de ser procesada por un sistema de conversión análogo a digital antes de ser interpretada por un programa de microcomputador.

Como se mencionó en el prólogo, es deseable que dicho sistema conversor posea un tiempo mínimo de conversión con el fin de procesar señales análogas de frecuencias altas. Teniendo en cuenta la disponibilidad en el mercado y el costo como factores decisivos en el diseño del sistema de entradas análogas, se recurre al conversor ADC0808, de National Semiconductors Corporation, como elemento óptimo, el cual a pesar de poseer un tiempo de conversión de 100µs (fmax = 10 kHz -muestreo-) ofrece la ventaja de contener internamente un multiplexor análogo para manipular ocho canales y salida tri-estado compatible con sistemas microprocesadores, sin elementos adicionales de hardware.

Debido al elevado tiempo de conversión del ADC0808 y como emplea el método de conversión de aproximaciones sucesivas¹, se hace imprescindible el empleo de un amplificador de muestreo y retención para acercarse a la máxima frecuencia de muestreo permitida por el conversor.

2.3.2.1 Limitaciones en la velocidad de muestreo. Supóngase que se desea muestrear una onda seno con frecuencia f (ciclos/segundo) y una amplitud pico a pico de 2Vo. La forma de onda se puede expresar como

$$V(t) = V_o \text{sen}(2\pi ft)$$

El factor 2π es necesario para convertir de ciclos/segundo a radianes/segundo. La primera derivada proporciona la rata de cambio

$$\frac{dV}{dt} = 2\pi f V_o \cos(2\pi ft)$$

que tiene un máximo valor de $2\pi f V_o$. Si el conversor A/D tiene N bits de resolución y un tiempo de muestreo de entrada T, una precisión de conversión de 1/2 LSB requeriría que la entrada no cambiara en 1 parte de $2^{N+1} = V_o 2^{-N}$ durante el tiempo T:

$$2\pi f V_o < \frac{V_o}{2^N T} \text{ o } f_{\max} = \frac{1}{2^{(N+1)} \pi T}$$

Si no se usara un amplificador de muestreo y retención para el ADC0808 (N=8, T=100µs), entonces fmax=6,22 Hz, lo cual es extremadamente bajo! Por otro lado, usando el LF398 se reduciría T a 25 ns (tiempo de apertura) y fmax=24,9 kHz, pero como el conversor A/D no opera con frecuencias mayores que 10 kHz, se ha logrado mejorar el sistema hasta este límite. Con ello se obtiene una frecuencia Nyquist de 5 kHz correspondiente a la máxima rata de muestreo de 10 kHz en el ADC0808.

¹ Ver DERENZO Stephen, Interfacing: a laboratory approach using the microcomputer for... Prentice Hall, 1990. p 113.

Por otro lado, la velocidad del hardware en cuanto a procedimientos de E/S es un factor decisivo en el diseño de sistemas de adquisición de datos. Por ejemplo, en un antiguo PC/XT, de 4,77 MHz, los ciclos de bus del procesador 8088 son de cuatro períodos de reloj de 210 ns, es decir, 840 ns. Los ciclos de E/S toman cinco períodos de reloj de 210 ns, o sea 1,05 μ s por cada byte. Los ciclos de refresco de la memoria dinámica ocurren una vez cada 72 períodos de reloj (aproximadamente 15 μ s) y requieren cuatro períodos de reloj (7% del ancho de banda del bus, que en un PC/AT es de 5,3%). Dado que el mínimo tiempo de conversión para el sistema de adquisición de datos es del orden de 100 μ s, y que es muy probable que el SMADAC opere en un sistema AT de por lo menos 12 MHz, es por tanto despreciable para estos casos la velocidad de E/S del hardware en comparación con el tiempo de conversión del sistema A/D, aún si se opera en el mencionado PC/XT.

2.3.2.2 Diseño del circuito de muestreo y retención.

Como ya se mencionó, el error en la conversión A/D depende principalmente de la rapidez de variación de la señal de entrada. Un amplificador de muestreo y retención LF398 (de fácil consecución en el mercado y compatible con el ADC0808) toma una muestra de la señal analógica de entrada (a la orden de SAMPLE) y retiene este valor aplicándolo al convertor A/D (a la orden de HOLD) mientras éste efectúa la conversión. Los canales AI0 y AI1 del dispositivo operan con respectivos amplificadores de S&H para maximizar su respuesta en frecuencia. La frecuencia máxima de trabajo para cada canal queda limitada por el tiempo de apertura y adquisición del amplificador de muestreo y retención (25 ns y 10 μ s para el LF398, respectivamente) y por el tiempo de conversión del ADC0808 (unos 100 μ s aproximadamente con reloj de 640 kHz), y se estima entonces que la máxima frecuencia de muestreo es de 10 kHz en modo cero y de 5 kHz en modo uno.

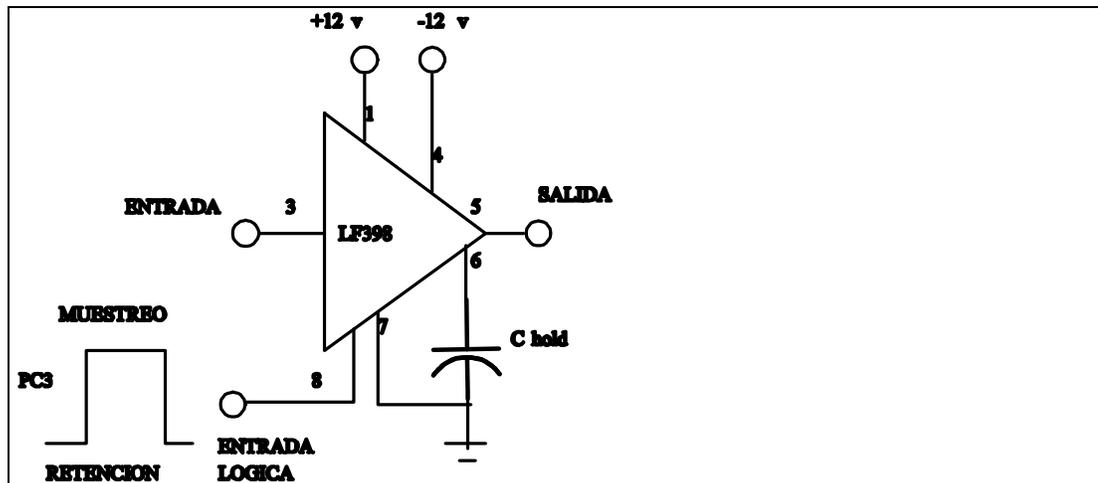


Figura 7. Montaje para el amplificador de muestreo y retención.

El amplificador de muestreo y retención seleccionado, el LF398 (ver circuito en Figura 5) emplea tecnología BI-FET para obtener alta precisión en dc con rápida adquisición de la señal y una tasa de descenso de tensión por pérdidas muy baja (del orden de 5 mV/min con condensador de retención de 1 μ F). El tiempo de adquisición depende del valor del condensador de retención (hold capacitor) que se puede escoger de una tabla indicada por el fabricante (ver Anexo 5). Según esto, para un tiempo de adquisición de 10 μ s, el condensador adecuado está entre 1 y 3 nF, y el fabricante recomienda emplear condensadores de poliestireno, polipropileno o Teflón para disminuir errores por histéresis y absorción dieléctrica, aunque si

la conversión tarda menos de 1 ms (como es el caso) dicho error es mínimo.

Se emplea un condensador de 2 nF para obtener el tiempo de adquisición deseado en el amplificador S&H y hacerlo compatible con el tiempo de conversión del ADC0808; con este condensador de retención el tiempo de adquisición es ligeramente inferior a $10\mu\text{s}$, lo cual es deseable para que el S&H no retarde la acción de la conversión en lugar de mejorarla. Debe tenerse también en cuenta que un proceso rápido y repetitivo de muestreo y retención puede incrementar la temperatura del amplificador debido a los picos de corriente necesarios para impulsar el proceso de carga del condensador lo cual puede exceder sus especificaciones máximas en aplicaciones más rápidas que las aquí utilizadas. Para mayor información, vea el Anexo 5.

2.3.2.3 Otros circuitos auxiliares del conversor A/D. Para su correcto funcionamiento el ADC0808 precisa de un oscilador (CLK) y una tensión de referencia positiva, +Vref, (también se requiere de una negativa pero en esta aplicación dicha tensión negativa de referencia es GND = 0 V) para alimentar sus circuitos internos.

- **Diseño del oscilador Schmitt-trigger.** El reloj del sistema conversor es un oscilador a partir de un inversor Schmitt-trigger con frecuencia deseada de 1200 kHz que es muy cercana a la máxima permitida para el dispositivo (1,24 MHz), según el fabricante, y se emplea este valor con el fin de reducir al máximo el tiempo de conversión del ADC0808.

Los dispositivos Schmitt-trigger son componentes tipo TTL con histéresis, es decir, cambian de nivel bajo a nivel alto cuando la entrada supera típicamente los 1,6 V, pero de nivel alto a nivel bajo cuando la entrada es inferior a 0,8 V, por lo tanto presentan una histéresis de 0,8 V porque los umbrales de transición dependen del sentido del cambio de la señal de entrada. Los osciladores del SMADAC (PIT y ADC0808) se implementan a partir de compuertas inversoras Schmitt-trigger (74LS14), conectando la entrada a tierra mediante un condensador C y la salida realimentada a la entrada mediante una resistencia R; dicha salida se conecta nuevamente a otro inversor de la misma unidad (74LS14) con el fin de reforzar la salida del oscilador a la carga; hay que destacar el hecho de que este último inversor altera el ciclo útil inicial (30%) al 60%. El esquema circuital aparece en la Figura 6.

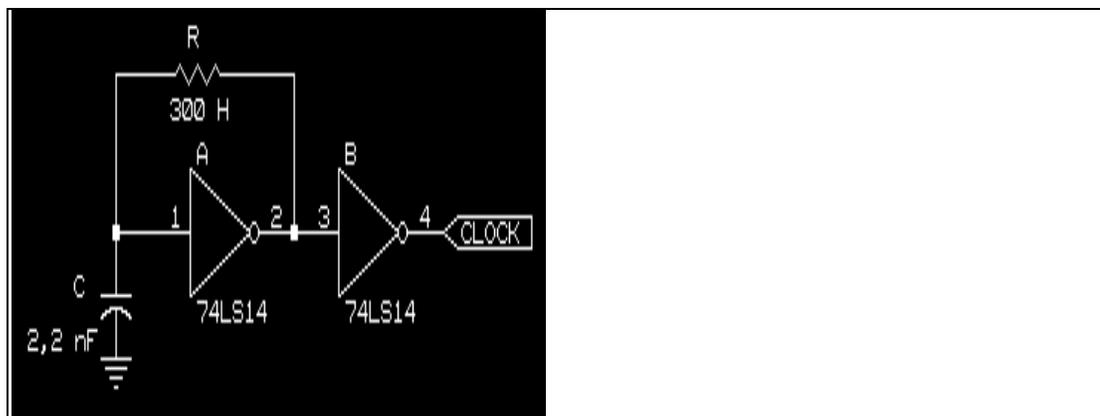


Figura 8. Oscilador con disparador de Schmitt.

Los cálculos de la frecuencia se realizan aplicando la ecuación de carga de un condensador mediante una resistencia, suponiendo que inicialmente el condensador está cargado ($V_c = V_{\text{mín}} = 0,8 \text{ V}$). Dado este evento, la salida del inversor debe estar en nivel alto (aproximadamente 3,4 V si $V_{\text{cc}} = 5 \text{ V}$,

porque $V_{in} < 1,6 \text{ V}$) y el condensador tenderá a cargarse a este valor a través de R; pero cuando alcance 1,6 V la salida cambiará a nivel bajo (0,25 V con baja corriente en la carga) descargando el condensador y cuando el voltaje del condensador descargándose descienda hasta 0,8 V la salida cambiará nuevamente a nivel alto y así sucesivamente. Por lo tanto, el voltaje del condensador oscilará entre 0,8 V y 1,6 V aproximadamente y la salida entre 3,4 y 0,25 V respectivamente. La ecuación de carga del condensador, teniendo en cuenta sus condiciones iniciales es:

$$V_c(t) = (V_c(0^-) - V_{\max})e^{-\frac{t}{RC}} + V_{\max}$$

$$1,6V = (0,8V - 3,4V)e^{-\frac{t}{RC}} + 3,4V$$

de la cual interesa hallar la relación entre RC y t, que es el tiempo que tarda el condensador en cargarse. Desarrollando la ecuación se encuentra que $t_c = 0,3677RC$, y aplicando un procedimiento similar para la descarga se encuentra que $t_d = 0,8979RC$. Sumando los tiempos de carga y descarga obtenemos el período aproximado del oscilador, que es:

$$T_{osc} = t_c + t_d = 0,3677RC + 0,8979RC$$

$$T_{osc} \approx 1,2656RC \text{ y } f_{osc} \approx \frac{0,790}{RC}$$

Para obtener 1200 kHz (reloj del conversor A/D ADC0808) se debe emplear un condensador de 2,2 nF y una resistencia de 300 Ω , valores comerciales. Se usan condensadores pequeños para que su sensibilidad al ruido de la tensión de alimentación sea baja pero la resistencia de realimentación R no debe ser muy grande ya que la corriente generada en el terminal de entrada del inversor Schmitt-trigger cuando la salida se encuentra en nivel alto puede llegar a impedir la oscilación. Cuando la salida se encuentra en nivel alto la entrada está en nivel bajo: en esta condición la entrada de la compuerta no consume sino que entrega corriente, del orden de 0,5 mA. Empíricamente se recomienda que R no sea mayor de 2 k Ω . En resumen, para el oscilador del sistema conversor A/D se obtienen los siguientes valores en sus componentes:

$$R \approx 300\Omega, C \approx 2,2 \text{ nF}$$

- **Circuito de referencia de tensión.** La tensión de referencia, que debe ser de +5,000 V para mayor exactitud, se obtiene a partir de un regulador ajustable LM317 alimentado con los +12 Vdc disponibles en el slot de expansión. Este regulador se configura como se muestra en la Figura 7. La tensión de salida está dada por

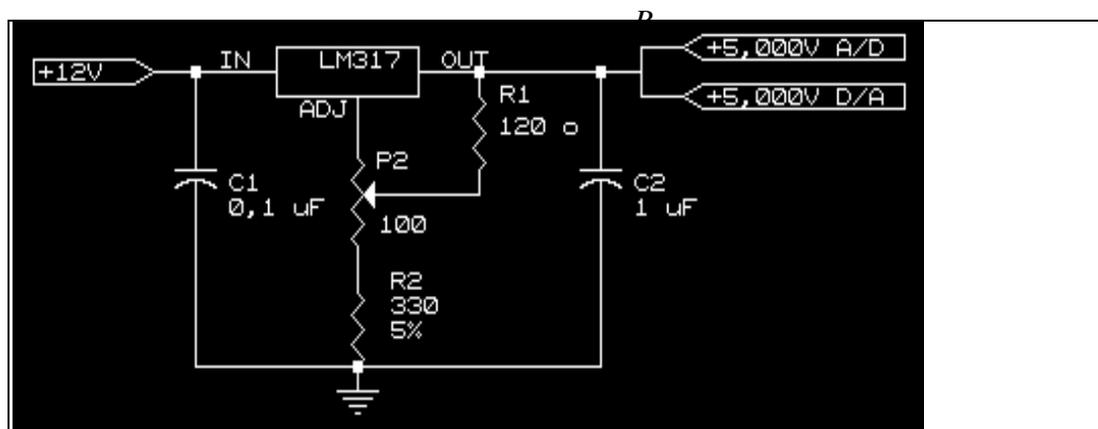


Figura 9. Montaje para tensión de referencia.

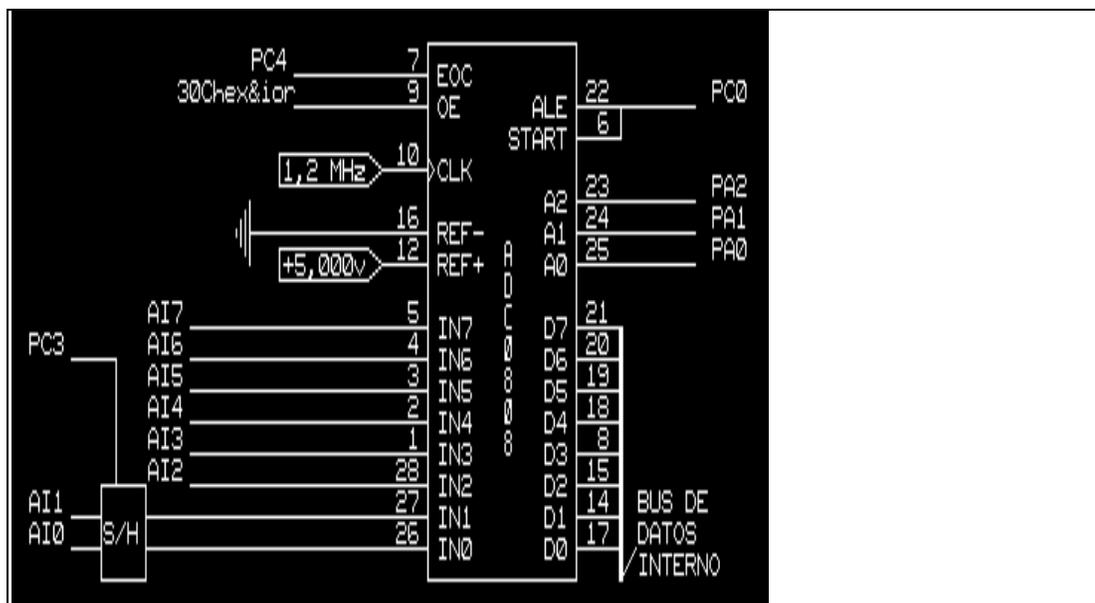
con $R1=120\Omega$ (valor sugerido por el fabricante) y $R2=360\Omega$ (resistencia $R2$ de 330Ω , $1/4\text{ W}$, 5% en serie con potenciómetro $P2$ de 100Ω) para obtener los $+5,000\text{ Vdc}$. $C1$ ($0,1\mu\text{F}$) y $C2$ ($1\mu\text{F}$) están sugeridos por el fabricante para mejorar la respuesta a los transitorios. La tensión de referencia así obtenida también alimenta al conversor DAC0800 pues de allí se deriva la corriente de referencia que éste necesita. Para más información consulte el manual técnico de la Philips ECG (Linear modules and integrated circuits), volumen dos bajo el ítem ECG956.

2.3.2.4 Diseño del sistema de control del conversor A/D. El ADC0808 es un conversor A/D compatible con la lógica de sistemas microprocesados, capaz de manipular ocho canales análogos, con tiempo de conversión de 100ms por canal. La secuencia de tiempo del conversor se puede apreciar en la Figura 17, en el Manual del Usuario.

Todas las señales que comandan al conversor A/D se suministran mediante los puertos A y C del PPI de control, según el diseño. El ADC0808 no genera solicitudes de servicio de interrupción por hardware para permitir un completo control mediante software; por el contrario se emplea la técnica de sondeo o encuesta (polling) del dispositivo conversor en el proceso de adquisición de datos, según se describe a continuación.

Antes de iniciar la conversión es necesario seleccionar el canal análogo que se va a procesar entre los ocho posibles (0 a 7). Para ello se escribe mediante programa el equivalente binario XXX bin del número del canal deseado en los tres bits menos significativos del Puerto A del PPI de control (304 hex). Los bits PC3,4 no se usan y PC5,6,7 deben ser todos cero en este momento (éstos últimos son las señales de GATE de los contadores del PIT). El esquema general para interconexión del ADC0808 empleado en el SMADAC aparece en la Figura 8. El procedimiento a seguir depende del tipo de canal seleccionado según se explica a continuación.

- **Conversión de señales de audiofrecuencia.** Los canales que procesan estas señales son los designados con los números 0 y 1 (AI0 y AI1) ya que han sido mejorados con el proceso de muestreo y retención y circuitos para manejo de señal de corriente alterna. No se requieren filtros pasabajos de entrada porque los amplificadores de muestreo y retención conforman este tipo de función. Tras seleccionar el canal, el siguiente paso a seguir es indicar al respectivo amplificador de muestreo y retención que muestree la señal de entrada, activando la señal SAMPLE. Esto se logra colocando el bit PC3 del puerto de control en uno y se puede hacer de dos maneras: escribiendo en el puerto 306 hex el byte XXXX1XX0 bin o programando directamente el bit PC3 mediante el modo bit set-reset con 0XXX0111 bin escrito en el puerto 307 hex. El bit PC3 controla las señales digitales S&H simultáneamente para los dos amplificadores



instalados en el SMADAC. Luego de haber muestreado la señal y después de un tiempo no inferior a 10 μ s (que es el tiempo de adquisición del LF398), lo cual se debe implementará con un retardo por programa, se procede a retener el valor muestreado para que la salida aparezca en el canal 0 o 1 del ADC0808. Este pulso de HOLD lo brinda el mismo bit PC3 empleado para SAMPLE, pero ahora con su estado lógico bajo. Simultáneamente con HOLD se debe validar la dirección del canal en el conversor (ALE) y dar inicio al proceso de conversión A/D (START). En sistemas microprocesadores el fabricante del ADC0808 indica que es válido suministrar el pulso ALE simultáneamente con START, y ambas señales se encuentran conectadas por tanto al bit PC0 del PPI de control. Para obtener simultáneamente las señales PC3 (HOLD') y PC0 (ALE/START) se debe escribir el byte XXXX0XX1 bin en el puerto 307 hex (puerto C del PPI de control). Este último paso presupone la validez del canal seleccionado mediante el puerto A (304 hex).

- **Conversión de señales DC.** Este tipo de señales deben ser aplicadas en los canales 2 a 7 (AI2-AI7). Luego de seleccionar el canal válido mediante el puerto A del PPI de control, tal como se hizo para los canales anteriores, se habilita el comienzo de conversión con PC0 (sin importar PC3 -S&H- porque estos canales no cuentan con amplificadores de muestreo y retención).

El para ambos tipos de canales, el proceso a seguir en este momento consiste en sondear el estado del bit PC4 (leyendo el byte del puerto 307 hex) del puerto de control ya que éste contiene la información del pin de fin de conversión (EOC) del ADC0808. Tras START/ALE, EOC debe estar en nivel bajo, y cuando el byte correspondiente a la conversión del voltaje de entrada análogo del canal XXX bin (puerto A) se encuentre en el registro de salida, EOC cambiará a nivel activo alto (aproximadamente 100 μ s después). Luego de verificar mediante programa el estado de EOC con una operación AND, enmascarando el bit de interés (PC4), se lee el puerto 30C hex para habilitar el ingreso del byte proveniente del conversor al microcomputador.

El el registro de salida del ADC0808 se encuentra conectado con el bus de datos interno del SMADAC, pero controlado por un dispositivo tri-estado, según el nivel de la señal OE. Esta señal se obtiene de decodificar la dirección 30C hex y las señales IOR' y AEN del slot de expansión de la manera que se indicó en la Sección 2.3.1; es decir, que cuando se ejecuta una instrucción de lectura del puerto 30C hex, el hardware activa la señal OE (output enable) para que el sistema lea el dato proveniente del conversor A/D que se encontrará actualmente en el bus de datos del slot de expansión.

Los tres modos de operación del sistema de adquisición de datos análogos, descritos en la Sección 2.2.1, son configuraciones especiales de las rutinas de programación que se pueden implementar con los procedimientos descritos anteriormente, pero no son las únicas formas de operación del SMADAC.

Para ciertas aplicaciones puede ser relevante el funcionamiento conjunto del subsistema de entradas o salidas análogas con el del subsistema de temporización (PIT), para suministrar una base de tiempo a dichos procesos. En estos casos se debe programar el modo de funcionamiento del PIT (especialmente del contador dos), antes de ejecutar cualquier operación de E/S análoga. Aquí será necesario tener en cuenta el estado de las señales GATE0-GATE2 (PA5-PA7) en el momento de seleccionar el canal análogo de entrada porque todas esas señales se controlan con el mismo registro A (304 hex).

El funcionamiento del sistema de temporización basado en el PIT se explica posteriormente.

Para obtener mayor información remítase al Manual del Usuario en el

siguiente capítulo, y al Anexo 5, especificaciones técnicas de los componentes.

2.3.2.5 Diseño del sistema análogo de salida. Este bloque funcional está basado en el conversor digital a análogo DAC0800 (National Semiconductors Co.), de ocho bits, de alta velocidad con salida en corriente, con tiempo de establecimiento (settling time) de 100 ns. El conversor permite voltajes de hasta 20 Vp-p sobre cargas resistivas a partir de sus salidas complementarias de corriente. La configuración adoptada en SMADAC es la mostrada en la Figura 9, en la que se puede apreciar que las salidas de corriente del DAC0800 son convertidas a voltaje: la salida correspondiente a la corriente negativa se envía a tierra dado que no se permitirán tensiones negativas; la corriente positiva se convierte a tensión (entre 0 y +5 Vdc) mediante el circuito mostrado basado en el conversor de I a V con un LM741 polarizado con las tensiones ±12 Vdc de slot de expansión. Todas las resistencias son de precisión en esta etapa (tolerancia de ±1%)

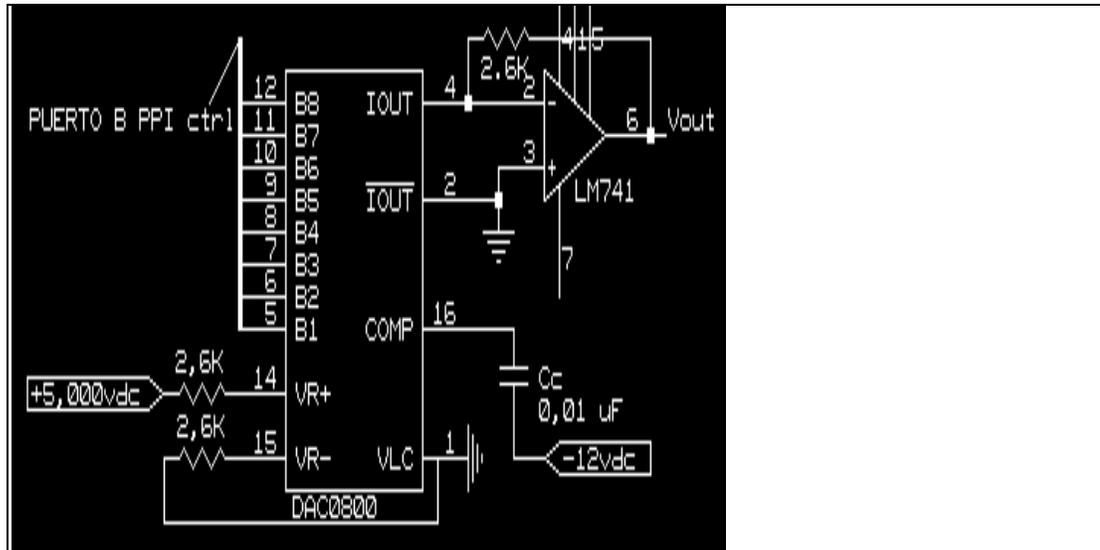


Figura 11. Esquema de salida análogo mediante DAC0800.

y dado que la corriente de referencia máxima que establece el fabricante es de 2 mA, para Vref=+5 Vdc, R ref (pines 14 y 15) debe ser mayor que 2,5 kΩ (5 V / 2 mA). El valor comercial conseguido es de 2,6 kΩ. Por lo tanto la corriente de referencia será:

$$I_{ref} = \frac{+5,000Vdc}{2,6k\Omega} = 1,92mA$$

que, en efecto, no excede al límite de 2 mA. Para obtener el rango de salida de tensión entre 0 y +5 Vdc, es obvio que se debe emplear el mismo valor de resistencia de realimentación en el amplificador operacional que el usado para programar la corriente de referencia (I_{ref}), ya que:

$$V_o: 0 \text{ hasta } +I * R_{retro}$$

$$e I = \frac{255}{256} I_{ref}$$

Para mayor información sobre especificaciones de funcionamiento del DAC0800 vea el Anexo 5.

La información digital proveniente del programa, se envía al DAC0800 a través de una simple escritura en el puerto B del PPI de control (305 hex). Debe recordarse que ya que este dispositivo se programó en modo cero, el puerto B posee registro (latch) en la información de salida; por lo tanto, el byte que se escriba una sola vez por el programa permanecerá como un voltaje estable a la salida del sistema conversor D/A hasta que se escriba nuevamente otro byte en el respectivo puerto.

El conversor D/A es un dispositivo mucho más rápido que el conversor A/D, y la frecuencia máxima de la señal análoga de salida generada por programa depende de la eficiencia del mismo programa, del compilador y de la velocidad del hardware (CPU). Téngase en cuenta que en general, en la familia PC, las operaciones de E/S consumen dos ciclos de reloj por cada byte. Con el sistema análogo de salida del SMADAC se pueden generar ondas seno de hasta 50 kHz en un PC/AT de 12 MHz, con un sencillo programa de prueba.

El LM741 posee un circuito interno que limita la corriente de salida del subsistema D/A, en caso de cortocircuitos accidentales a tierra o a las tensiones de polarización con el terminal de salida. La corriente máxima o de corto circuito es de 25 mA, para el operacional, y de 1,9 mA para el DAC0800 (a través de 2,6 k Ω). La condición de sobrecarga se podría mantener indefinidamente sin perjuicio de los componentes.

Es importante recordar que la señal de salida del DAC no es continua ni mucho menos, ya que está conformada por escalones de tensión (de altura del orden de los 20 mV), resultantes de transiciones de voltaje entre dos niveles discretos consecutivos. Es aconsejable por ello adaptar un filtro pasabajos (puede ser de un polo) a la señal proveniente del adaptador SMADAC antes de emplearla en cualquier aplicación que así lo demande. La frecuencia de corte del filtro dependerá de la frecuencia de trabajo determinada por la aplicación concreta.

2.3.2.6 Circuitos externos del adaptador SMADAC. Estos circuitos se encuentran montados sobre módulos para inserción directa en el protoboard (Figura 2), con terminales para interconexión con el cable de cinta proveniente del conector análogo del adaptador SMADAC (26 pines). Este tipo de circuitos modulares ya se describió al comienzo de la Sección 2.3.

Los circuitos externos operan sobre el sistema de entradas análogas, sobre todos los canales; sin embargo, los circuitos de protección de los canales AI0 y AI1 son ligeramente diferentes a los de los demás canales e incluyen circuitos especiales para adaptar la señal alterna al conversor ADC0808. Las funciones que desempeñan son:

- Protección contra niveles de tensión mayores que $\pm 12^2$ V pico y

² Aunque se ha establecido que la señal análoga no debe superar los ± 5 Vp, en esta etapa se permite el paso de señales de hasta ± 12 Vp, pero serán recortadas por los siguientes circuitos.

adaptación de nivel dc y ganancia (atenuación) de la señal de entrada a la ventana de tensión del ADC0808, 0 a +5 V pico, para AI0 y AI1.

- Protección de los canales AI0-AI7 contra tensiones no pertenecientes al rango 0-5 Vdc.

Los dos tipos de circuitos se describen a continuación.

2.3.2.6.1 Circuitos de protección para señales AC. Estos circuitos operan sobre los canales AI0 y AI1 únicamente. Se diseñaron especialmente para proteger la tarjeta electrónica del adaptador SMADAC sin distorsionar la señal de entrada, entregando en condiciones normales una señal entre 0 y +5 V al amplificador de muestreo y retención. Este esquema no distorsiona las señales de entrada comprendidas entre ± 5 V. Sin embargo, para simplificar los circuitos de protección de esta etapa, el recorte efectivo de señal se inicia a partir de ± 12 Vpico; para señales de entrada entre ± 5 y ± 12 V pico, el circuito suministra una tensión de salida superior al rango permitido de 0-5 Vp para el conversor. Esta eventualidad activa un segundo circuito de protección que es común a los ocho canales de entrada del conversor, el cual recorta la señal obligándola a permanecer dentro de la ventana de 0 a +5 V. Los dos tipos de circuitos de protección mencionados operan bajo el principio del recortador de tensión con diodo.

- **Diseño del recortador de señal AC.** Este esquema emplea una resistencia y dos diodos de baja potencia (1N4148-49), conectados a las fuentes de ± 12 V dc, según lo muestra la Figura 10. Cuando la señal de entrada es inferior a ± 12 V pico los diodos se encuentran polarizados en inverso, por lo tanto, la señal pasa sin distorsión al seguidor de tensión (LM324), pero cuando la señal excede dicho valor, los diodos conducen, provocando que la tensión en exceso caiga sobre la resistencia R. Debido a la característica tensión-corriente del diodo, para voltajes entre ± 12 y $\pm 12,7$ V la conducción del diodo es parcial y la señal se distorsiona por efecto del shunt de corriente sobre la resistencia de protección, produciéndose el recorte eficaz únicamente para tensiones superiores a $\pm 12,7$ V pico. El valor máximo de tensión de entrada depende de la potencia de R y de la corriente I_{max} que se permita "ingresar" a los circuitos de la fuente (un buen criterio de diseño determina que I_{max} debe ser comparable, por defecto, con la corriente de consumo típica de la respectiva fuente).

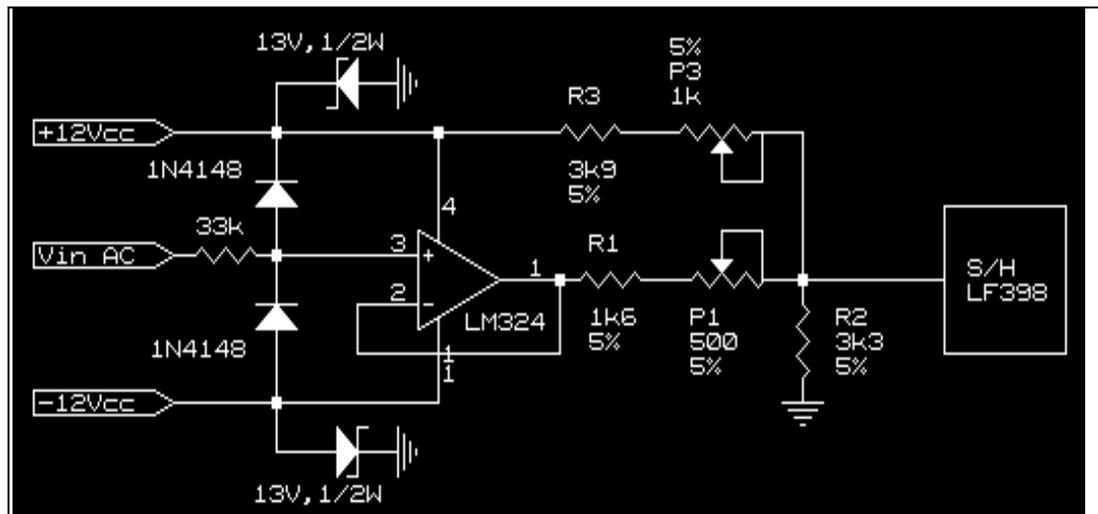


Figura 12. Circuitos de protección para señal A.C.

Dado que la corriente de consumo medida es del orden de 60 mA, se calcula R como:

$$R = \frac{(V_{\max} - 12V_{cc} - 0,7V)}{I_{\max}}$$

$$R = \frac{110V - 12,7V}{60mA} \approx 1,8k\Omega$$

La potencia de la resistencia necesaria para tolerar dicha sobretensión en régimen permanente, con esta corriente, superaría los seis vatios; esto quiere decir, que la resistencia de 1,8 k Ω a 1/2 W protege al circuito contra tensiones de entrada de hasta 21 Vrms sin deterioro y para tensiones mayores, se quemará, actuando como elemento fusible. Adicionalmente, en paralelo con las fuentes alimentación se colocan sendos diodos Zener de 13V, 1/2W, los cuales impiden que una tensión de entrada extremadamente alta deteriore los demás elementos alimentados por las fuentes de ± 12 Vcc mientras se queman las resistencias de protección.

El seguidor de tensión (LM324) cumple la función de aislar la señal de entrada de los demás circuitos de adaptación de nivel dc y muestreo y retención del adaptador SMADAC.

- **Diseño del adaptador de señal AC.** En condiciones normales los circuitos anteriores suministran una señal alterna de máximo ± 5 V pico. Como se requiere una señal dc de 0-5 V pico, es necesario atenuar la señal AC en un factor de 2 (hasta $\pm 2,5$ V pico) y adicionarle un nivel dc de +2,5 V con el fin de producir una señal entre 0 y +5 V pico para los circuitos de muestreo y retención. Aprovechando la elevada impedancia de entrada de los amplificadores de muestreo y retención LF398 (del orden de 10^{10} ohmios) y como no se requiere amplificación sino atenuación de la componente AC de la señal, para obtener el voltaje requerido se emplea un circuito pasivo (resistivo), mostrado en la Figura 11.

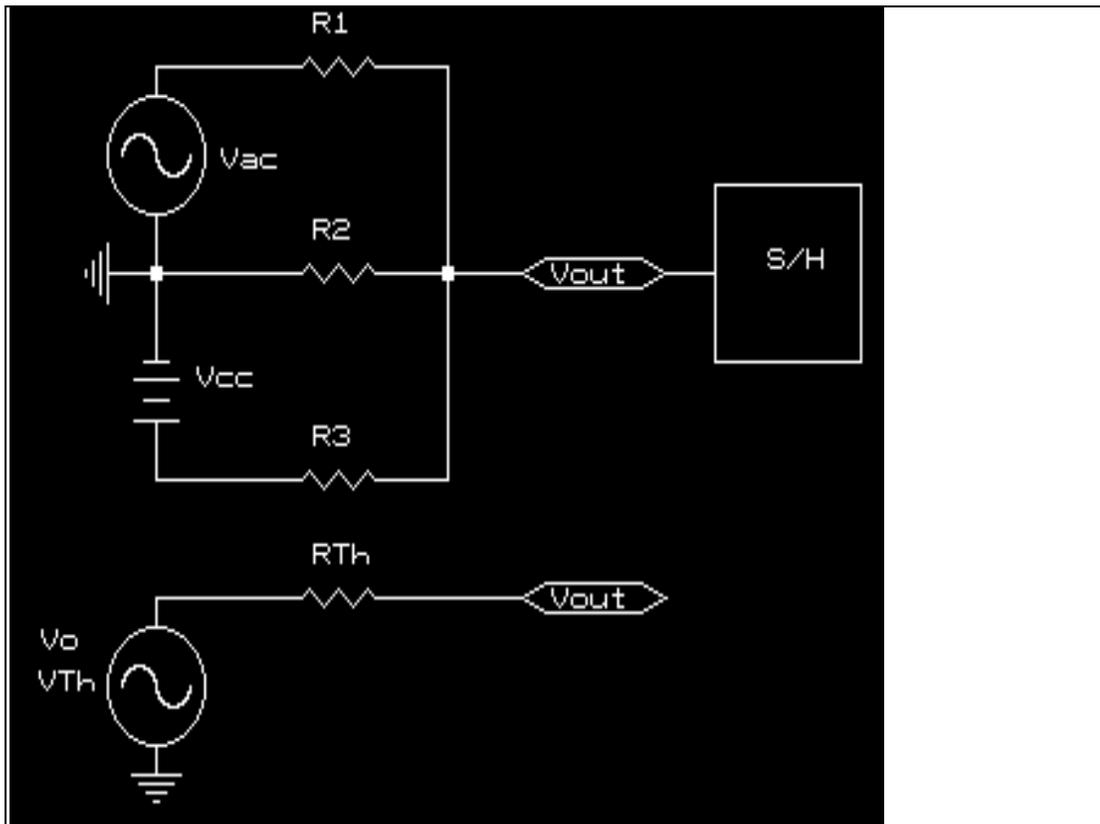


Figura 13. Análisis del adaptador pasivo.

El circuito se puede analizar empleando la técnica de superposición. Sea R_1 la resultante serie de una resistencia fija y un potenciómetro conectados a la salida del seguidor de tensión (se emplea el potenciómetro para obtener un ajuste al valor necesario aún en las condiciones más desfavorables de tolerancia de los demás elementos de circuito); R_2 es una resistencia fija entre la salida del circuito adaptador y tierra, y R_3 se conforma con el mismo esquema ajustable de R_1 , conectado entre la salida y +12 Vcc. Si V_0 es la salida sobre el nodo común a las tres resistencias, se puede demostrar que:

$$V_0 = V_{cc} \frac{R_1 R_2}{R_2 (R_1 + R_3) + R_1 R_3} + V_{ac} \frac{R_2 R_3}{R_2 (R_1 + R_3) + R_1 R_3}$$

Como se puede apreciar, la salida posee una componente de tensión debida a la fuente +Vcc y otra debido a la entrada Vac. Según esto, se pueden definir las constantes K1 y K2 a partir de el nivel dc deseado, y el factor de atenuación de la señal Vac respectivamente, según el teorema de superposición:

$$V_0 = V_{dc} + V_{ac} = K_1 V_{cc} + K_2 V_{ac_{ent}}$$

$$K_1 \equiv \frac{V_{dc}}{V_{cc}}, \quad K_2 = \frac{V_{ac}}{V_{ac_{ent}}}$$

Y comparando estas ecuaciones con las anteriores se pueden establecer los valores de K1 y K2 en términos de R1, R2 y R3. Como K1 y K2 obedecen a las especificaciones del diseño particular, se deben hallar R1, R2 y R3 en términos de K1 y K2; pero se hace necesaria otra ecuación.

El criterio a considerar tiene que ver con el equivalente de Thévenin del circuito adaptador; concretamente con su resistencia Thévenin o de salida.

Según las especificaciones técnicas del ADC0808, la corriente de entrada máxima por canal es de 2 μ A, y aunque entre el adaptador y el convertor existen los circuitos de muestreo y retención, de alta impedancia de entrada, se puede considerar que la máxima corriente de entrada a los amplificadores S/H es también 2 μ A. Ahora bien, esta corriente fluyendo a través de la resistencia Thévenin genera una caída de tensión que constituye un error en la conversión. Para una resolución dada Vs, se puede establecer como criterio de diseño que:

$$V_s \approx 20mV$$

$$V_{R_{Th}} \equiv \frac{1}{10} V_s = 2mV$$

$$R_{Th} = \frac{V_{R_{Th}}}{I_{ent}} = \frac{2mV}{2mA} = 1k\Omega$$

Y con este valor de RTh, K1 y K2, se pueden hallar los respectivos valores de R1, R2 y R3. Con las ecuaciones,

$$K_1 = \frac{1}{1 + R_3 \left(\frac{1}{R_1} + \frac{1}{R_2} \right)}$$

$$K_2 = \frac{1}{1 + R_1 \left(\frac{1}{R_2} + \frac{1}{R_3} \right)}$$

$$\frac{1}{R_{Th}} = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3}$$

y despejando cuidadosamente los valores de R1, R2 y R3 se obtiene:

$$R_1 = \frac{1}{K_2} R_{Th}$$

$$R_2 = \frac{R_{Th}}{(1 - K_1 - K_2)}$$

$$R_3 = \frac{1}{K_1} R_{Th}$$

Para el caso que concierne, los valores respectivos de K1, K2 y RTh son:

$$K_1 = \frac{V_{dc}}{V_{cc}} = \frac{2,5V}{12V} = 0,2083$$

$$K_2 = \frac{V_0}{V_{ac_{ent}}} = \frac{5V_{pp}}{10V_{pp}} = 0,5$$

$$R_{Th} = \frac{V_s}{10 I_{max}} = \frac{20mV}{10 * 2mA} = 1k\Omega$$

y por consiguiente:

$$R_1 = 2k\Omega$$

$$R_2 = 3,429k\Omega$$

$$R_3 = 4,8k\Omega$$

$$R_{Th} \equiv 1k\Omega$$

Para ajustar los niveles DC y AC es conveniente permitir un control en la rama de R3 y otro en la rama de R1, con el fin de reducir al mínimo la interacción entre los dos tipos de parámetros de la señal. Esto implica que R2 puede ser de valor fijo, para lo cual su valor debe ser comercial.

El valor comercial para R2 más cercano a 3,429 kΩ es 3,3 kΩ. Tras esta asignación, los demás valores cambiarán, a saber:

$$R_1 = 1925\Omega$$

$$R_2 \equiv 3300\Omega$$

$$R_3 = 4620\Omega$$

$$R_{Th} = 962,5\Omega$$

El cambio en R_{Th} es mínimo y no afecta notablemente el criterio antes mencionado para su elección.

A continuación se deben establecer los valores fijos y variables para las ramas de R_1 y R_3 . Es necesario pues tener en cuenta para tal fin la tolerancia de los elementos. Se emplean resistencias con 5% de tolerancia y 1/4 W (más que suficiente para el régimen de trabajo establecido).

En vista de que las ramas R_3 y R_1 se pueden ajustar, se deben establecer los rangos de variación para estos valores en términos del error ($\pm 5\%$ máximo) introducido por R_2 . A continuación se establecen los rangos de ajuste en la Tabla 1:

TABLA 1. Rango de ajuste del adaptador AC.

Valor R_2	R_1	R_3	R_{Th}
+5%=3,465K	2,021K	4,851K	1,011K
Nom.=3,300K	1,925K	4,620K	0,963K
-5%=3,135K	1,829K	4,389K	0,914K

En la tabla se aprecian los ajustes necesarios a los valores de R_1 y R_3 cuando el valor de R_2 se encuentra en los extremos de la tolerancia. El cambio en R_{Th} no afecta significativamente el criterio para su elección.

En R_1 , la variación es de 192 Ω . Para asegurar el valor de R_1 correspondiente a $R_2 - 5\%$, la peor condición se obtiene con el potenciómetro en cero, y el valor fijo de R_1 un 5% por encima del nominal; este valor debe ser inferior a 1,829 k Ω (nuevo valor nominal de R_1 para el caso de $R_2 - 5\%$). El nuevo valor de R_1 disminuido en un 5% corresponde a 1,742 k Ω , que obviamente no es comercial, pero el que más se acerca es 1,6 k Ω ($\pm 5\%$), y requiere ajustes entre 149 y 305 Ω (con potenciómetro) para alcanzar los 1,829 k Ω . Por otro lado, para el caso de una desviación de $+5\%$ en R_2 , R_1 debe tener un valor de 2,021 k Ω , que se obtiene de la resistencia definida anteriormente de 1,6 k Ω (en el peor de los casos será un 5% inferior, 1,52 k Ω) en serie con el máximo valor del potenciómetro que resulta ser nominalmente de 501 Ω . Sin embargo, un potenciómetro comercial de 500 Ω de $\pm 5\%$ puede quedarse corto en el ajuste si, para esta última condición, dicho elemento tuviese -5% (25 Ω menos del valor nominal), por lo cual es prudente emplear uno de mayor resistencia o asegurarse de que el elemento instalado no posea su porcentaje de tolerancia por defecto sino por exceso, con el fin de no sobredimensionarlo demasiado. En todo caso, los análisis realizados anteriormente se refieren a la ocurrencia simultánea de las peores condiciones, cuya probabilidad de aparición es baja, pero no nula.

Para el caso de R3, la diferencia entre sus valores máximo y mínimo es de 462 Ω . Como en el caso anterior, cuando R2 se ve disminuida en un 5%, el máximo valor permisible para R3 es de 4,180 k Ω (con potenciómetro en mínimo y con R3 5% por encima del valor nominal). El valor comercial más cercano al obtenido anteriormente es de 3,9 k Ω \pm 5%. Para R2 aumentada en 5%, R3 debe ser mínimo de 5,106 k Ω (potenciómetro en máximo, y R3 5% por debajo del nuevo valor nominal, 4,851 Ω). Esto último indica que la excursión total del potenciómetro es de 926 Ω mínimo, concluyéndose que el valor de este control debe optimizarse en 1 k Ω .

En conclusión, los valores óptimos de las resistencias fijas y sus controles son:

$$R_1 = (1,6k\Omega + 500 \Omega_{(pot)}) \pm 5\% \equiv 1925\Omega$$

$$R_2 \equiv 3,300\Omega \pm 5\%$$

$$R_3 = (3,9k\Omega + 1k \Omega_{(pot)}) \pm 5\% \equiv 4620\Omega$$

los cuales aseguran el ajuste del nivel DC y atenuación AC para cualquier valor dentro del margen de tolerancia de los componentes.

2.3.2.6.2 Protección de los canales DC. Estos canales están restringidos para operar entre 0 y +5 Vdc. El diseño de los circuitos de protección para estos canales es menos estricto y supone el empleo razonable del adaptador SMADAC por parte del usuario. Se fundamenta en un circuito explicado previamente, recortador de tensión con diodo de unión, que consta de un par de resistencias y de diodos. El esquema se muestra en la Figura 12. Las señales de entrada comprendidas entre 0 y +5 V no activan la conducción de los diodos. Cuando la tensión de entrada se encuentra por fuera de dichos valores, el respectivo diodo, según la polaridad de la tensión de entrada, empieza a conducir, generando una corriente que provoca la caída de la tensión diferencia sobre la resistencia R1. R2 limita la tensión sobre los diodos internos del convertor a valores de $\pm 0,3$ V respectivamente (máximo según especificación técnica). Dada la configuración interna del convertor ADC0808, se recomienda³ que la impedancia equivalente de los circuitos que generan la señal no sea mayor que 1 k Ω (para oscilador de 1,2 MHz). Por lo tanto, de este hecho surgen los valores de 500 Ω para R1 y R2 (1/4 W, 5%).

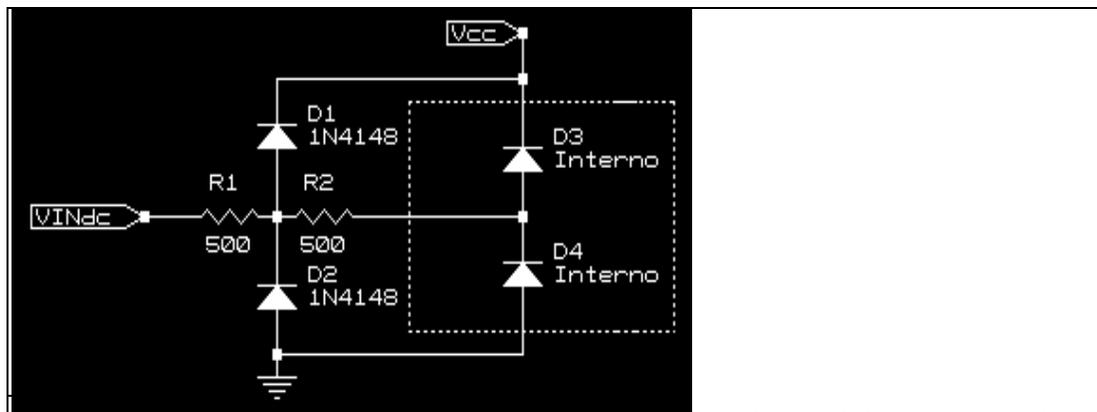


Figura 14. Protección para los canales DC.

Para la potencia mencionada, el máximo valor de tensión que puede soportar R_1 es de

$$V_1 = \sqrt{P R_1} = \sqrt{0,25W \cdot 500\Omega} \approx 11,2V_{rms}$$

y por lo tanto, la máxima tensión de entrada admisible, sin deterioro de la resistencia es de

$$V_{ent_{max}} = V_1 + V_g + V_{cc} \approx 17V_{rms}$$

Obviamente el circuito de protección puede admitir tensiones muy superiores, pero ellas quemarán las resistencias, aislando la respectiva entrada del sistema de adquisición de datos.

En caso de que precisamente la tensión de entrada sea demasiado elevada (varias decenas de voltios), un diodo Zener de 5,6 V, 1/2W se coloca en paralelo con V_{cc} , para evitar el deterioro de los demás circuitos conectados a este regulador (el propio ADC0808 y el DAC0800).

2.3.2.7 Diseño de los sistemas digitales del SMADAC. Los sistemas digitales del SMADAC son el PPI para comunicación bidireccional, completamente configurable por el usuario, y el PIT, programable en varias modalidades de funcionamiento.

Para el diseño del sistema basado en el PPI sólo se tuvo en cuenta su ubicación en el espacio de memoria, eligiéndolo como el primero de los dispositivos del SMADAC simplemente por la facilidad para que el usuario, en caso dado, memorice los puertos asignados: 300-303 hex, como los primeros del área de prototipos del PC.

Para el PIT se diseñaron únicamente las conexiones de sus terminales de GATE (disparo) y OUT (fin de conteo) con un dispositivo de control, que en este caso es el puerto C de otro PPI, respetando los sentidos del flujo de información de las líneas mencionadas, el cual determina la forma adecuada de programar el dispositivo PPI de control. También se da soporte a operación con tiempos de evento prolongados (hasta 119,3 horas) conectando los contadores uno y dos en cascada (mediante un jumper selector en la tarjeta electrónica) o a base de tiempo para el conversor A/D, conectando el contador dos al oscilador del ADC0808 (1,1 MHz aproximadamente).

La base de tiempo para los contadores cero y uno la constituye un oscilador con disparador de Schmitt, reforzado con otro inversor para mayor estabilidad. La frecuencia se ajusta (en un amplio margen) con un potenciómetro, ya que es necesario una precisa referencia de tiempo en algunas aplicaciones. Los valores son:

$$T = 1,27RC \equiv 1 \text{ ms}$$

$$C \equiv 1 \text{ mF}$$

$$R = 787\Omega = 100\Omega + 2k \Omega_{pot}$$

$$F_{\min} \approx 350 \text{ Hz}$$

$$F_{\text{tipica}} = 1 \text{ kHz}$$

$$F_{\max} \approx 7,8 \text{ kHz}$$

La ubicación de los dispositivos en los puertos del SMADAC no sigue ninguna norma en particular, exceptuando la mencionada para el PPI de comunicación digital, ya que el acceso a los mismos es totalmente aleatorio.

2.3.2.8 Distribución de componentes en la tarjeta. Aparentemente este aspecto es accesorio en un diseño, pero dado que también se busca minimizar los costos (previendo futuras aplicaciones didácticas) de la elaboración de la tarjeta de circuito impreso de doble faz, se da por descartado emplear tecnología de hueco pasante metalizado (thru-hole). De esta forma, las conexiones deben diseñarse claramente por la cara respectiva, indicando en la cara de componentes (por ejemplo mediante fat cells adyacentes a los pads) cuáles terminales deben soldarse desde la faz superior, y los restantes se soldarán por la inferior, evitando conexiones auxiliares con cable o alambre. Además se emplean sócalos para todos los circuitos integrados, lo cual facilita el ensamble y mantenimiento de la tarjeta electrónica del SMADAC. Una solución a este problema de la ubicación de los componentes se encontró con la distribución que se muestra en la Figura 13, pero no se descartan futuras optimizaciones.

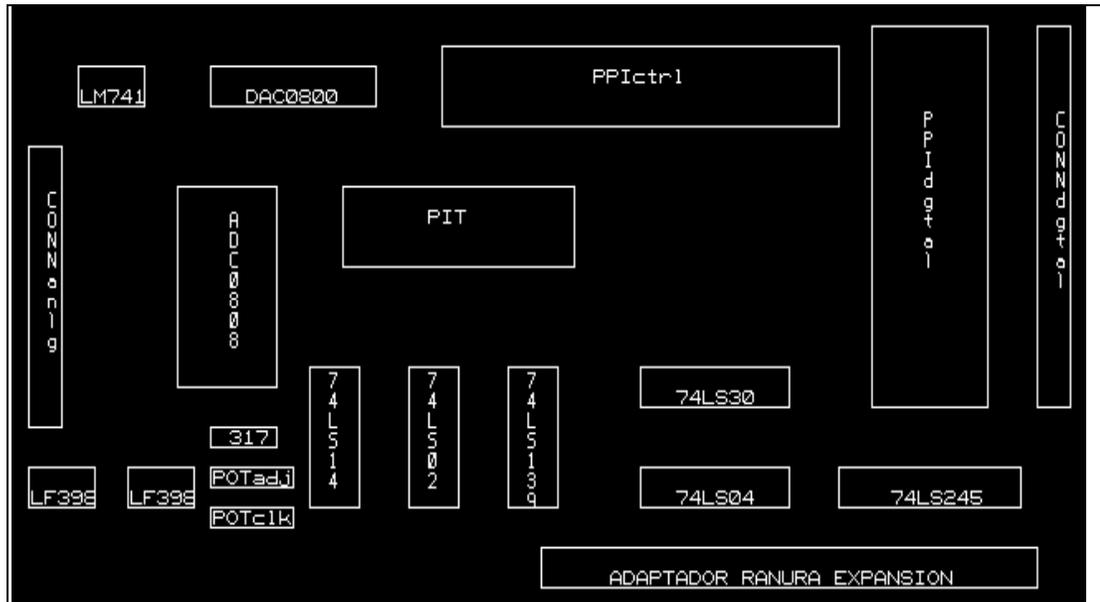


Figura 15. Distribución de los componentes en la tarjeta electrónica.

2.4 EL SOFTWARE DEL SMADAC

La parte electrónica del sistema de adquisición de datos debe estar complementada por unos programas de soporte que permitan la fácil adaptación de cualquiera de las aplicaciones especiales del sistema.

La primera forma de aproximarse al manejo del SMADAC es la elaboración de un programa de gestión, que invoque a unas rutinas básicas, tales como detección de la presencia de la tarjeta electrónica, adquisición de datos de los canales análogos, generación de forma de onda, uso de los diversos modos de funcionamiento del PIT y PPI, etc.

Debido a que el único dispositivo que opera autónomamente en el SMADAC es el PIT, la rutina de arranque (presencia del adaptador en el PC) consiste en programar en modo cero al contador cero y monitorear su la terminación del conteo para determinar si este evento se lleva a cabo o no; en caso negativo, se debe concluir que el adaptador no ha sido instalado o que el

sistema PIT no está funcionando correctamente.

La parte de programación se compone de las funciones desarrolladas para el correcto funcionamiento del sistema y un programa de aplicación general implementado para ejecutar dichas funciones a solicitud del usuario. Además en la guía de prácticas se dan los correspondientes diagramas de flujo de algunas aplicaciones adicionales y las pautas de programación necesarias para ello.

Todas las funciones se desarrollaron en lenguaje C, bajo un compilador del estándar C++ de Borland, versión 1.0.

Las funciones especialmente desarrolladas para el SMADAC están orientadas a permitir la adquisición de datos y al análisis de los mismos, y son:

- **Transformada rápida de Fourier.** Esta función, denominada `fft(xr,xi,nu,ie)`, y establecida como una librería macro en el archivo `fourier.c` se encarga de realizar la transformada rápida de Fourier de los 2^{nu} datos almacenados en el los arreglos apuntados por `xr`, parte real y `xi`, parte imaginaria. Si `ie < 0`, se realiza la transformada directa, es decir como resultado se obtienen los componentes de frecuencia de los datos muestreados en el tiempo. Si `ie ≥ 0`, se realiza la transformada inversa de Fourier; se obtiene una señal en el tiempo a partir de sus componentes de frecuencia. En el Anexo 2 se encuentra el análisis matemático y las matrices para el desarrollo de la función.

- **Funciones para muestreo de datos temporizados.**

- Función `entrada(ncan,t)`. Esta función retorna la captura de un dato por el canal análogo indicado en la variable `ncan`, `t` mS., después que ha sido llamada la función.

- Función `muestreo(ndato,tmst,cnptr)`. Esta función captura los datos determinados por la variable `ndato`, cada `tmst` mS. y los guarda en el arreglo apuntado por el puntero `cnptr`.

- Visualización de señales. Esta función, llamada `ver(ptr,n)` visualiza las `n` muestras apuntadas por el puntero `ptr`, en modo gráfico, modo obtenido por la ejecución de otras funciones.

- **Funciones varias.** Estas funciones en general se utilizan para entrada por teclado y para la realización de algunos cálculos, son:

- `getint()`. Se encarga de la captura desde el teclado de un número entero.

- `entint(n)`. Entra un dígito entero que no sobrepase el valor de `n`.

- **Programa principal.** Este programa ejemplifica la potencialidad del proyecto SMADAC.

El programa encadena las funciones anteriormente descritas y hace la presentación del menú principal donde se pueden observar las siguientes opciones:

- Definición de canal(es) de E/S y modo.

- Visualización de la señal.

- Análisis de datos.

- Análisis de Fourier.

- Salida a DOS.

La parte de software se explica detalladamente en el Capítulo 3.